

**Family list****10** family members for:**JP8220560**

Derived from 8 applications.

- 1 LIQUID CRYSTAL PANEL**  
Publication info: JP3593198B2 B2 - 2004-11-24  
JP9171357 A - 1997-06-30
- 2 ACTIVE MATRIX DISPLAY DEVICE**  
Publication info: JP8220560 A - 1996-08-30
- 3 PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE**  
Publication info: JP8320461 A - 1996-12-03
- 4 MANUFACTURING METHOD OF DISPLAY DEVICE**  
Publication info: JP2004355009 A - 2004-12-16
- 5 Active matrix display with sealing material**  
Publication info: US6011607 A - 2000-01-04
- 6 Active matrix display and forming method thereof**  
Publication info: US6355942 B1 - 2002-03-12
- 7 Active matrix display and forming method thereof**  
Publication info: US6703643 B2 - 2004-03-09  
US2002056844 A1 - 2002-05-16
- 8 Active matrix display and forming method thereof**  
Publication info: US2004141139 A1 - 2004-07-22

---

Data supplied from the *esp@cenet* database - Worldwide

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08220560  
 PUBLICATION DATE : 30-08-96

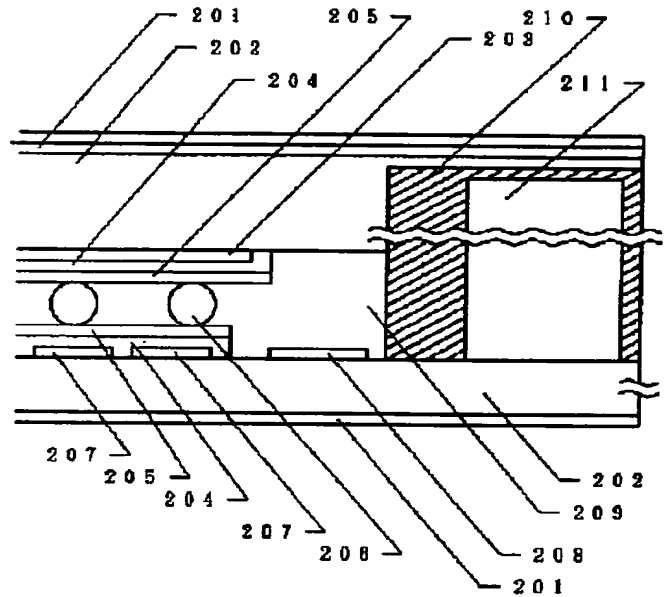
APPLICATION DATE : 15-02-95  
 APPLICATION NUMBER : 07050527

APPLICANT : SEMICONDUCTOR ENERGY LAB CO  
 LTD;

INVENTOR : TERAMOTO SATOSHI;

INT.CL. : G02F 1/136 G02F 1/133 G02F 1/1345  
 G09F 9/00 H01L 29/786

TITLE : ACTIVE MATRIX DISPLAY DEVICE



ABSTRACT : PURPOSE: To improve the reliability of an active matrix type liquid crystal display device in which a picture element area and a peripheral driving circuit area are integrated.

CONSTITUTION: By providing a thin film transistor 208 to compose a peripheral driving circuit at the inner side (at the liquid crystal side) than a sealing member 210, the peripheral driving circuit is protected from the external side. As a result, the reliability of the peripheral driving circuit for a long period can be increased. And the wiring to a thin film transistor 207 provided from the thin film transistor 208 composing the peripheral driving circuit to a picture element area is made shorter, and the improvement of the display property by reducing the wiring resistance can be accomplished.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-220560

(43) 公開日 平成8年(1996)8月30日

(51) Int. Cl. °	識別記号	F I
G02F 1/136	500	G02F 1/136 500
1/133	550	1/133 550
1/1345		1/1345
G09F 9/00	338 7426-5H	G09F 9/00 338 K
H01L 29/786		H01L 29/78 612 B
審査請求 未請求 請求項の数10 F D (全9頁)		

(21) 出願番号 特願平7-50527

(22) 出願日 平成7年(1995)2月15日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 河崎 祐司

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

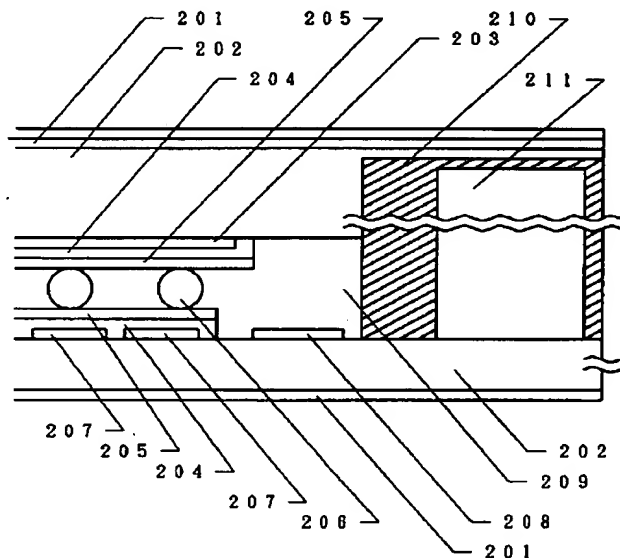
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 画素領域と周辺駆動回路領域とが集積化されたアクティブマトリクス型の液晶表示装置の信頼性を向上させる。

【構成】 周辺駆動回路を構成する薄膜トランジスタ208を封止材210よりも内側(液晶側)に配置することで、周辺駆動回路を外部より保護する。こうすることで、周辺駆動回路の長期にわたる信頼性を高めることができる。また、周辺駆動回路を構成する薄膜トランジスタ208から画素領域に配置される薄膜トランジスタ207への配線も短くなり、配線抵抗の低減による表示特性の向上を果たすことができる。



## 【特許請求の範囲】

【請求項 1】 アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記画素薄膜トランジスタと駆動回路薄膜トランジスタの双方が直接または薄膜を介して液晶材に接するように液晶封入が行われていることを特徴とするアクティブマトリクス表示装置。

【請求項 2】 請求項 1 において、周辺回路が封止材の内側の液晶領域に設けられていることを特徴とするアクティブマトリクス表示装置。

【請求項 3】 請求項 1 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装しており、尚かつ前記制御回路は前記アクティブマトリクス表示装置の液晶の封止材中に封入されていることを特徴とするアクティブマトリクス表示装置。

【請求項 4】 請求項 3 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、前記制御回路を実装する側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 5】 請求項 3 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、制御回路を実装する対向側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 6】 請求項 3 において、制御回路は単結晶シリコン基板を用いて作製された集積回路であることを特徴とするアクティブマトリクス表示装置。

【請求項 7】 一対の透光性基板間に液晶を保持した構成を有し、  
前記一対の基板の一方の表面上には、マトリクス状に配置された薄膜トランジスタ回路と、  
前記マトリクス回路に接続された薄膜トランジスタで構成された周辺駆動回路と、  
が形成されており、  
前記周辺駆動回路の上面には液晶または封止材が存在しており、  
前記一対の基板間には、前記周辺駆動回路に接続される集積回路を配置するための空隙が形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 8】 アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記駆動回路薄膜トランジスタを封止材によって封入したことを特徴とするアクティブマトリクス表示装置。

【請求項 9】 請求項 8 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glas

s) で基板上に実装するため、前記制御回路を実装する側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 10】 請求項 8 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、前記制御回路を実装する対向側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は、アクティブマトリクス表示装置の小型化、及び高信頼性を得るための技術に関する。

## 【 0 0 0 2 】

【従来の技術】 従来のアクティブマトリクス表示装置を構成するパネルの状態を示す断面図を図 4 に示す。図 4 から明らかなように、封止材 (402) (シール材ともいう) で画素領域 (404) を取り囲んでいるため、アクティブマトリクス表示装置の画素領域 (404) のみが液晶に接しており、周辺駆動回路領域 (403) の TFT は大気に接している。これは、以前アクティブマトリクス表示装置の基板上に画素 TFT しか存在せず、駆動回路が外付け IC であった頃の名残である。このように従来の技術においては、画素領域 (404) と周辺駆動回路領域 (403) とが同一ガラス基板 (401) 上に形成される場合の駆動回路の実装位置の最適化が行われていなかった。

## 【 0 0 0 3 】

【発明が解決しようとする課題】 従来のアクティブマトリクス表示装置では、駆動回路 TFT が外部に剥き出しになっていたため、パネル組立工程中のアクティブマトリクス表示装置の基板のハンドリングに細心の注意が必要であった。このような状況において、その作製プロセスにおいて、ハンドリングが楽なアクティブマトリクス表示装置の形態が望まれていた。また、信頼性上の点からも画素が液晶材、シール材等で保護されているのに対して、駆動回路は薄い酸化膜で覆われているのみであり、耐温性や汚染に対して弱くなっている。

## 【 0 0 0 4 】

【課題を解決するための手段】 アクティブマトリクス表示装置の駆動回路のパネル組立工程中における損傷を最小限にし、信頼性上の問題を解決するには、前記アクティブマトリクス表示装置の駆動回路が直接触れられない形態であればよい。従って、図 1 に示すように前記アクティブマトリクス表示装置の周辺駆動回路領域 (103) を液晶材中または封止材中に実装する。

【 0 0 0 5 】 以下に本明細書で開示する発明を示す。本明細書で開示する発明の一つは、アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トラン

ンジスタが同一の基板上に存在し、前記画素薄膜トランジスタと駆動回路薄膜トランジスタの双方が直接または薄膜を介して液晶材に接するように液晶封入が行われていることを特徴とする。

【0006】一般には、薄膜トランジスタは酸化珪素膜等なる層間絶縁膜で覆われているので、この絶縁膜を介して、液晶に接することとなる。上記のような構成を採用することで、周辺駆動回路の薄膜トランジスタを実質的に液晶中に封入することができる。即ち、周辺駆動回路の薄膜トランジスタを液晶で封止した状態とすることができる。

【0007】他の発明の構成は、一对の透光性基板間に液晶を保持した構成を有し、前記一对の基板の一方の表面上には、マトリクス状に配置された薄膜トランジスタ回路と、前記マトリクス回路に接続された薄膜トランジスタで構成された周辺駆動回路と、が形成されており、前記周辺駆動回路の上面には液晶または封止材が存在しており、前記一对の基板間には、前記周辺駆動回路に接続される集積回路を配置するための空隙が形成されていることを特徴とするアクティブマトリクス表示装置。

【0008】上記構成の具体的な例を図2に示す。図2に示すのは、一对のガラス基板202間に液晶209を挟持したアクティブマトリクス型の液晶表示装置の概略の構成を示す断面図である。図2に示す構成においては、207で示されるアクティブマトリクス回路の薄膜トランジスタと、この薄膜トランジスタ207を駆動するための周辺駆動回路の薄膜トランジスタ208と、この周辺駆動回路の薄膜トランジスタ208にビデオ信号や各種制御信号を送る集積回路(IC)211を有している。

【0009】図2に示す構成においては、周辺駆動回路の薄膜トランジスタ208の上面には、液晶が存在している。また、封止材210で封止された集積回路211は、一对のガラス基板202間に形成された空隙に配置されている。

【0010】他の発明の構成は、アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記駆動回路薄膜トランジスタを封止材によって封入したことを特徴とする。

【0011】上記構成の具体的な例を図3に示す。図3に示す構成においては、周辺駆動回路を構成する薄膜トランジスタ308が、封止材310によって封止された構成となっている。

【0012】

【作用】周辺駆動回路領域を液晶が存在している領域、あるいは封止材中に存在させることにより、周辺駆動回路領域が実質的に液晶材料や封止材料中に封止された状態とすることができる。そして、実装密度の高い周辺駆

動回路領域に外部から水分が浸入したりすることを防ぐことができる。また応力の影響を緩和することができる。

【0013】

【実施例】

【実施例1】本発明によるアクティブマトリクス表示装置の断面図を図2に示す。アクティブマトリクス表示装置では、ガラス基板(202)には画素TFT(207)の上に透明電極(204)と配向膜(205)が付けられている。このガラス基板はTFT基板と呼ぶ。TFT基板は液晶材(209)に近い方から偏光板(201)、ガラス基板(202)の順で並んでいる。また、他方のガラス基板はカラーフィルタ基板と呼ぶ。液晶材(209)に近い方から配向膜(205)、透明電極(204)、カラーフィルタ(203)、ガラス基板(202)、偏光板(201)と並んでいる。そして、2枚のガラス基板の間隔を一定に保つためのガラスまたは樹脂製のスペーサ(206)が液晶材(209)中に多数散布されている。

【0014】偏光板(201)は通過させる光の振動方向を限定する厚さ80~210 $\mu$ m程度のフィルタである。偏光板の構造は図6のように、真中にPVA(ポリビニルアルコール)製の偏光フィルム604があり、さらにセルロース系の保護層603が付けられている。さらにその外側は液晶材に近い方には粘着層602と離型フィルム601、反対側には表面を保護する保護フィルム605が取り付けられている。その使用に際しては、離型フィルム601を剥がしガラス基板に粘着層602を張りつけて使用する。配向膜(205)の役割は、液晶分子が電圧OFF時に配向膜(205)に刻まれた溝に入り込んで一定方向に配列させることである。配向膜材料には、ポリイミドやポリアミド酸を溶媒に5~10重量%溶解させたものが用いられる。また、配向膜(205)の厚さは0.05~0.1 $\mu$ m程度で膜厚が均一であることが要求される。液晶材(209)は、アクティブマトリクス表示装置の真中にあり、電圧がONの場合には立ち、OFFの場合は振れることにより、光の通過・遮断を制御するスイッチの役割を果たす。液晶材(209)の原料は、ベンゼン、トルエン等である。カラーフィルタ(203)は、モノクロの液晶表示をカラー化するための色合成フィルタである。カラーフィルタ(203)はRGB(Red, Green, Blue)の3色から成り、画素TFTの1個とカラーフィルタ(203)の1個の色が重なるようになっている。封止材(210)は、2枚のガラス基板を貼り付ける接着剤の役割を果たす。封止材(210)の原料としては、シリコン、アクリル、エポキシ等がある。

【0015】画素TFTが液晶領域にあることは、従来のアクティブマトリクス表示装置と同様であるが、本発明では、従来封入の外にあった駆動回路TFT(20

8) を液晶封入領域内に配置している。この液晶封入領域内に駆動回路を入れることは、以下のような利点を得ることができる。

1. 耐汚染性の向上。
2. 画素に接続される信号線の短縮による画質向上。
3. 液晶材料が緩衝材となり、不要な応力が薄膜トランジスタに加わることを抑制することができる。

また、本実施例では駆動回路を液晶封入領域に入れるのみならず、駆動回路を制御するマイクロプロセッサ(211)等の制御用集積回路を封入材の中にいれることによって、駆動回路と制御用集積回路との距離を小さく抑え、信号の不要ノイズを軽減する等の効果を得ることができる。ここで、制御用集積回路を封入する場合、対向側の基板を一部厚みを薄くすることにより、実装し易くすることも行っている。制御用集積回路は封止領域に入れることによって、従来の構造と比較して、信頼性が向上される。またここでの制御回路は、シリコン端結晶ウエハを用いて形成された集積回路であり、その具体的な例として、メモリ、I/Oポート、その他各種制御回路、ビデオ信号を扱う回路、さらにはそれらの任意の組み合わせを有する集積回路を挙げることができる。勿論、これら集積回路は必要とする数でもって配置される。

【0016】また集積回路の配置方法は、COG(Chip On Glass)で基板上に実装されることが望ましい。しかし、ワイヤボンディング形式で配線を形成しても、配線が封止材によって実質的に封止されるので、その信頼性は高いものとすることができる。

【0017】また、図には示されていないが、周辺駆動回路領域の上面には光を遮蔽するクロム膜やアルミ膜等の遮蔽膜を形成する必要がある。

【0018】また、図2における構成では、ガラス基板202の一部を薄くし、その部分に集積回路211を配置している。これは、液晶が注入されるギャップが数 $\mu$ m程度にあるのに対して、集積回路の厚さが数百 $\mu$ m程度あるからである。図2においては、上側のガラス基板202側の一部を薄くしているが、TFTが配置されたガラス基板202側の一部を薄くしてもよい。また両方のガラス基板を薄くし、その部分に集積回路を配置する構成としてもよい。

【0019】本実施例のアクティブマトリクス回路を得る作製工程について、図5を用いて説明する。図の左側に周辺駆動回路のTFTの作製工程を、右側にアクティブマトリクス回路のTFTの作製工程を、それぞれ示す。まず、石英基板またはガラス基板(501)上に下地酸化膜(502)として厚さ1000~3000Åの酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いればよい。

【0020】次に、プラズマCVD法やLPCVD法に

よってアモルファスもしくは多結晶のシリコン膜を300~1500Å、好ましくは500~1000Å形成する。そして、500℃以上、好ましくは、800~950℃の温度で熱アニールをおこない、シリコン膜を結晶化させる。熱アニールによって結晶化させたのち、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103、同6-244104に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素(触媒元素)を添加してもよい。

【0021】次にシリコン膜をエッチングして、島状の周辺駆動回路のTFTの活性層(503)(Pチャネル型TFT用)、(504)(Nチャネル型TFT用)とマトリクス回路のTFT(画素TFT)の活性層(505)を形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500~2000Åの酸化珪素のゲイト絶縁膜(506)を形成する。ゲイト絶縁膜の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素( $\text{N}_2\text{O}$ )もしくは酸素( $\text{O}_2$ )とモンシラン( $\text{SiH}_4$ )を用いることが好ましい。

【0022】その後、厚さ2000Å~5 $\mu$ m、好ましくは2000~6000Åの多結晶シリコン膜(導電性を高めるため微量の燐を含有する)をLPCVD法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極(507、508、509)を形成する。(図5(A))

その後、イオンドーピング法によって、全ての島状活性層に、ゲイト電極をマスクとして自己整合的にフォスフィン( $\text{PH}_3$ )をドーピングガスとして燐を注入する。ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{13}$ 原子/ $\text{cm}^2$ とする。この結果、弱いN型領域(510、511、512)が形成される。(図5(B))

【0023】次に、Pチャネル型TFTの活性層(503)を覆うフォトレジストのマスク(513)、および、画素TFTの活性層(505)のうち、ゲイト電極に平行にゲイト電極(509)の端から3 $\mu$ m離れた部分までを覆うフォトレジストのマスク(514)を形成する。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして燐を注入する。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ $\text{cm}^2$ とする。この結果、強いN型領域(ソース/ドレイン)(515、516)が形成される。画素TFTの活性層(505)の弱いN型領域(512)のうち、マスク(514)に覆われていた領域(517)は今回のドーピングでは燐が注入されないの、弱いN型のままでとなる。(図5(C))

【0024】次に、Nチャネル型TFTの活性層(504、505)をフォトレジストのマスク(518)で覆

い、ジボラン ( $B_2H_6$ ) をドーピングガスとして、イ  
オンドーピング法により、島状領域 (503) に硼素を  
注入する。ドーピング量は  $5 \times 10^{14} \sim 8 \times 10^{15}$  原子/ $cm^2$   
とする。このドーピングでは、硼素のドーピング量が図  
5 (C) における燐のドーピング量を上回るため、先に形成  
されていた弱いN型領域 (510) は強いP型領域 (5  
19) に反転する。以上のドーピングにより、強いN型  
領域 (ソース/ドレイン) (515、516)、強いP  
型領域 (ソース/ドレイン) (519)、弱いN型領域  
(低濃度不純物領域) (517) が形成される。本実施  
例においては、低濃度不純物領域 (517) の幅  $x$  は、  
約  $3 \mu m$  とする。(図5 (D))

【0025】その後、 $450 \sim 850^\circ C$  で0.5～3時  
間の熱アニールを施すことにより、ドーピングによるダ  
メージを回復せしめ、ドーピング不純物を活性化、シリ  
コンの結晶性を回復させる。その後、全面に層間絶縁物  
(520) として、プラズマCVD法によって酸化珪素  
膜を厚さ  $3000 \sim 6000 \text{ \AA}$  形成する。これは、窒化  
珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であ  
ってもよい。そして、層間絶縁物 (520) をウェットエ  
ッチング法によってエッチングして、ソース/ドレイン  
にコンタクトホールを形成する。

【0026】そして、スパッタ法によって、厚さ  $200$   
 $0 \sim 6000 \text{ \AA}$  のチタン膜を形成し、これをエッチング  
して、周辺回路の電極・配線 (521、522、52  
3) および画素 TFT の電極・配線 (524、525)  
を形成する。さらに、プラズマCVD法によって、厚さ  
 $1000 \sim 3000 \text{ \AA}$  の窒化珪素膜 (526) をパッシ  
ベーション膜として形成し、これをエッチングして、画  
素 TFT の電極 (525) に達するコンタクトホールを  
形成する。最後に、スパッタ法で成膜した厚さ  $500 \sim$   
 $1500 \text{ \AA}$  のITO (インディウム錫酸化物) 膜をエッ  
チングして、画素電極 (527) を形成する。このよう  
にして、周辺論理回路とアクティブマトリクス回路を一  
体化して形成する。(図5 (E))

【0027】本実施例のアクティブマトリクス表示装置  
の組立工程を以下に説明する。TFT基板・カラーフィ  
ルタ基板は、各々表面処理に用いられたエッチング液レ  
ジスト剥離液等の各種薬品を十分に洗浄する。次に配向  
膜をカラーフィルタ基板及びTFT基板上に付着させる。  
配向膜はある一定の溝が刻まれ、その溝に沿って液晶分  
子が均一に配列する。配向膜材料にはブチルセルソング  
か  $n$ -メチルピロリドンといった溶媒に、溶媒の約10  
重量%のポリイミドを溶解したものを用いる。これをポ  
リイミドワニスと呼ぶ。ポリイミドワニスは図\*に示す  
ようにフレキシ印刷装置によって印刷する。そして、T  
FT基板・カラーフィルタ基板の両基板上に付着した配向  
膜を加熱・硬化させる。これをベークと呼ぶ。ベークは  
最高使用温度約  $300^\circ C$  の熱風を送り加熱し、ポリイミ  
ドワニスを焼成・硬化させるものである。その次に、配

向膜の付着したガラス基板表面を毛足の長さ  $2 \sim 3 mm$   
のパフ布 (レイヨン・ナイロン等の繊維) で一定方向に  
擦り、微細な溝を作るラビング工程を行う。そして、T  
FT基板もしくはカラーフィルタ基板のいずれかに、ポ  
リマー系・ガラス系・シリカ系等の球のスペーサを散布  
する。スペーサ散布の方式としては純水・アルコール等  
の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェ  
ット方式と、溶媒を一切使用せずスペーサを散布するド  
ライ方式がある。その次に、TFT基板の外枠に封止材  
を塗布する。封止材塗布には、TFT基板とカラーフィ  
ルタ基板を接着する役割と注入する液晶材が外部に流出  
するのを防ぐ目的がある。封止材の材料は、エポキシ樹  
脂とフェノール硬化剤をエチルセルソルブの溶媒に溶か  
したものが使用される。封止材塗布後に2枚のガラス基  
板の貼り合わせを行う。方法は約  $160^\circ C$  の高温プレス  
によって、約3時間で封止材を硬化する加熱硬化方式を  
とる。最後に、TFT基板とカラーフィルタ基板を貼り  
合わせたアクティブマトリクス表示装置の液晶注入口よ  
り液晶材を入れて、液晶材注入後エポキシ系樹脂で液晶  
注入口を封止する。以上のようにして、アクティブマト  
リクス表示装置が組み立てられる。

【0028】〔実施例2〕本発明によるアクティブマト  
リクス表示装置の断面図を図3に示す。図からも明らか  
なように、アクティブマトリクス表示装置を制御するマ  
イクロプロセッサ (311) と駆動回路 TFT (30  
8) を封止材 (310) で封入することで、駆動回路 T  
FT (308) を保護し、外部に剥き出しにならないよう  
にしている。本実施例は封止材 (310) で封入する  
回路量 (駆動回路 TFT (308)) が異なる以外は、  
実施例 (その1) と構成及び作製工程は同じである。

【0029】〔実施例3〕本実施例は、予備の周辺回路  
(冗長回路) を設けた構成に関する。図7に本実施例で  
示す液晶表示パネルの概略の上面図を示す。図7は上面  
から見た図であるので、ガラス基板としては、701が  
1枚だけ示されている。しかし、実際には、ガラス基板  
701と対となってもう1枚のガラス基板がガラス基板  
701に張り合わせてある。図7に示す構成において  
は、周辺駆動回路領域703とマトリクス状に配置され  
た画素領域704とが封止材702の内側に配置されて  
いる。封止材702の内側が液晶で充填されているわけ  
であるから、周辺駆動回路領域703と画素領域704  
に配置された薄膜トランジスタは、その上面に液晶が存  
在している状態となっている。

【0030】また周辺駆動回路に接続される各種制御回  
路を構成する集積回路 (IC) は封止材702内に配置  
され、丁度封止材702によってモールドされた状態と  
なっている。

【0031】705で示されるのが、予備の周辺駆動回  
路の領域であり、703で示される領域に配置された周  
辺駆動回路に不良が発生した場合に利用される。706

で示されるのは、外部との接続端子であり、この端子を介して、ビデオ信号や必要とする信号が回部から入力される。図 7 に示す液晶表示パネルは、一対のガラス基板間に必要とする回路が全て収められている。しかもそれら回路の全てが封止材または液晶によって封止されている状態となっているので、信頼性を極めて高いものとすることができる。

【0032】また、図面ではその寸法比が正確ではないが、周辺駆動回路の幅は数ミリ程度である。また封止材の幅も周辺駆動回路に接続される集積回路によってその幅が決まるとはいえ、その幅を数mm程度以下（集積回路を小さくできれば、1mm程度とすることができる）とすることができる。従って、実際に液晶表示が行われる領域の周囲に数mm～1cm程度の縁が存在するだけで、しかも外部出力端子を除けば、外見上一対のガラス基板で構成されるという極めてシンプルな外観とすることができる。

【0033】

【発明の効果】上記のように、アクティブマトリクス表示装置の駆動回路TFTを封止材領域より内側に配置することにより、駆動回路TFTの耐温性や耐汚染性を向上させることができる。またアクティブマトリクス表示装置の小型化を計ることができる。また、画像信号線の短縮による電圧降下を低減させることができ、特性の向上を計ることができる。

【0034】また周辺駆動回路領域を液晶領域あるいは封止材が設けられた領域に配置することにより、周辺駆動回路領域が液晶あるいは封止材によって封止されることになり、水分の影響による信頼性の低下を防ぐことができる。また、液晶あるいは封止材が緩衝材となることで、周辺駆動回路領域に不要な応力が加わることを防ぐことができる。

【0035】さらに周辺駆動回路に接続される制御用の集積回路を封止材中に配置することで、水分の影響による信頼性の低下を防ぐことができる。また、1対のガラス基板間に必要とする回路を配置することができるので、信頼性を高めることができるとともに、不要な凹凸等がないシンプルな外観を有した小型化された液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス表示装置の概略図

【図2】 実施例（その1）におけるアクティブマトリクス表示装置の断面図

【図3】 実施例（その2）におけるアクティブマトリクス表示装置の断面図

【図4】 従来のアクティブマトリクス表示装置の概略図

【図5】 実施例（その1）の作製工程

【図6】 偏光板の構成

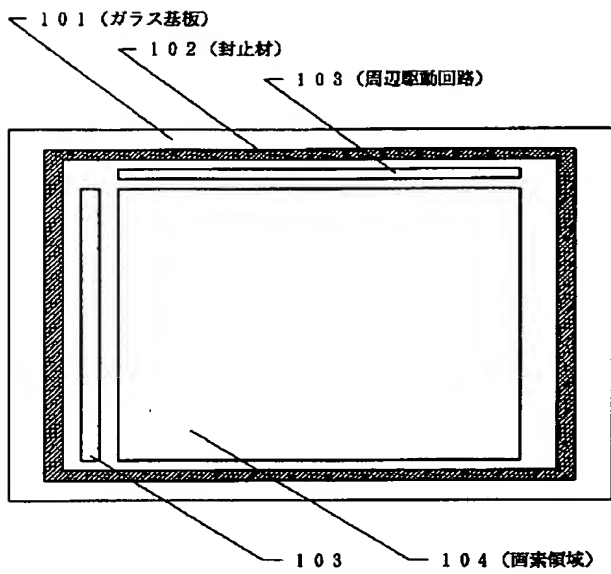
【図7】 実施例のアクティブマトリクス表示装置の概略図

【符号の説明】

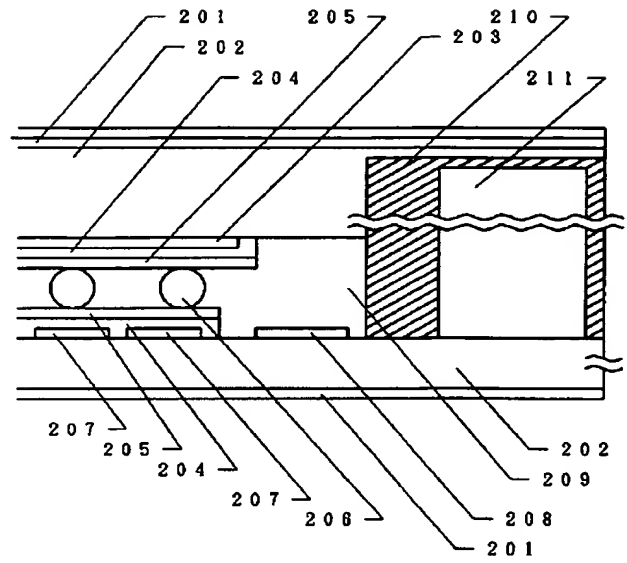
101、202、302、401	ガラス基板
102、210、310、402	封止材
103、208、308、403	駆動回路TFT
104、207、307、404	画素TFT
201、301	偏光板
203、303	カラーフィルタ
204、304	透明電極
205、305	配向膜
206、306	スペーサ
209、309	液晶材
211、311	マイクロプロセッサ
501	基板
502	下地膜（酸化珪素）
503～505	活性層（シリコン）
506	ゲイト絶縁膜（酸化珪素）
507～509	ゲイト電極・ゲイト線
510～512	弱いN型領域
513、514	フォトレジストのマスク
515、516	強いN型領域（ソース／ドレイン）
517	低濃度不純物領域
518	フォトレジストのマスク
519	強いP型領域（ソース／ドレイン）
520	層間絶縁物（酸化珪素）
521～525	金属配線・電極
526	パッシベーション膜（窒化珪素）
527	画素電極（ITO）



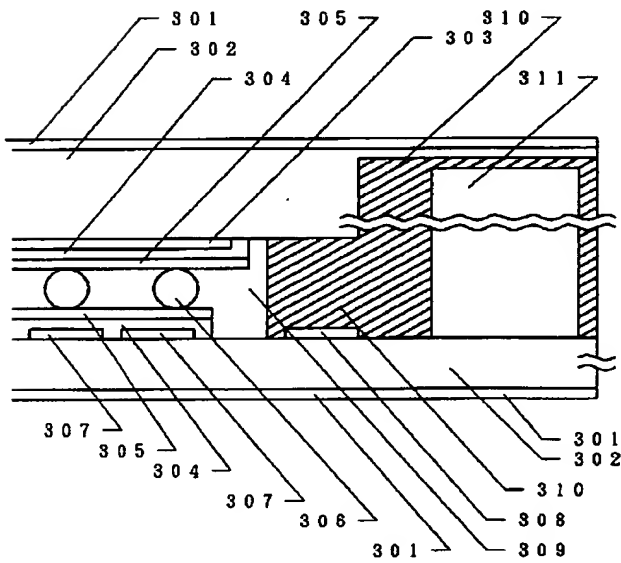
【図 1】



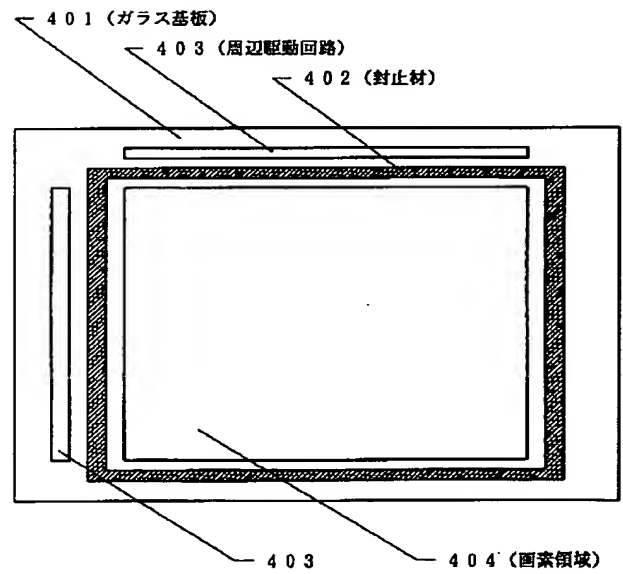
【図 2】



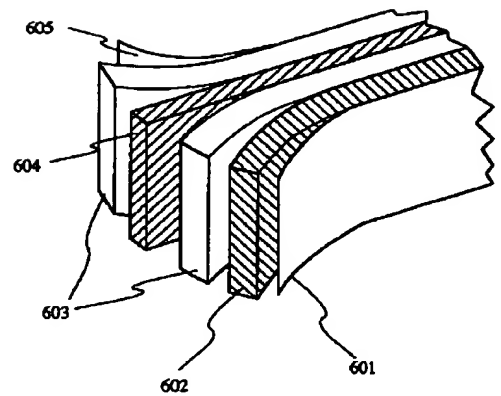
【図 3】



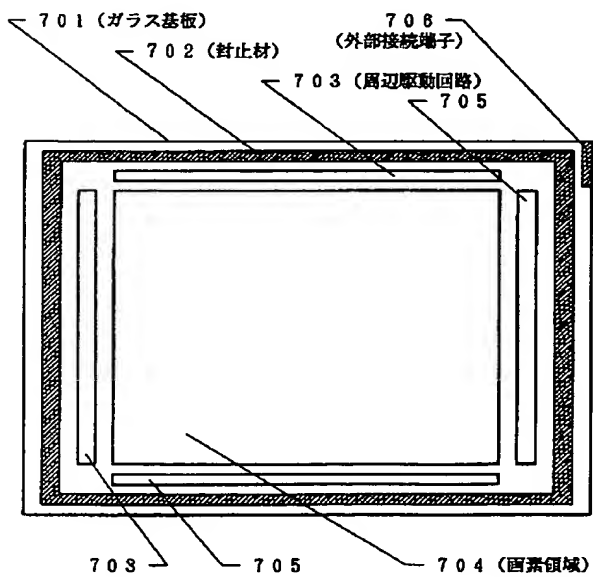
【図 4】



【図 6】



【図 7】



フロントページの続き

(72)発明者 小沼 利光  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 寺本 聡  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内